

## METODOLOGÍA DE DISEÑO ANALÓGICO EN VLSI CON LAS HERRAMIENTAS DE SYNOPSYS®

### VLSI ANALOG DESIGN METHODOLOGY WITH SYNOPSYS® TOOLS

**Germán Yamhure Kattah**

Pontificia Universidad Javeriana, Bogotá (Colombia)

**Jorge Andrés García López**

Qualcomm, Bogotá (Colombia)

#### Resumen

Este artículo presenta una metodología de diseño de circuitos analógicos para altas escalas de integración (*Very Large Scale Integration*) (VLSI), utilizando las herramientas profesionales de Synopsys® y un kit de diseño o PDK. Lo anterior se ilustra con el caso de estudio de un amplificador operacional en tecnología CMOS de 0.18 $\mu$ m. Con criterio didáctico, se muestra el procedimiento tanto metodológico como analítico para realizar el diseño que primero se formaliza y valida en el nivel esquemático, para luego dibujarlo y validarlo en *layout*.

Palabras claves: circuitos analógicos, circuitos integrados analógicos CMOS, metodología de diseño.

#### Abstract

This paper presents a methodology for analog circuit design for Very Large Scale Integration (VLSI), using Synopsys® CAD tools and a physical design kit (PDK) for 0.18 $\mu$ m CMOS technology. The methodology is illustrated with a case study of an operational amplifier design. With a didactic approach, both methodological and analytical procedures are shown for the design process, whereas validation is performed at the schematic and layout levels.

**Keywords:** analog circuits, CMOS analog integrated circuits, design methodology.

#### Introducción

En el caso de los circuitos digitales, a partir de un conjunto de celdas prediseñadas y por medio de un

lenguaje de descripción de *hardware*, se construyen sistemas complejos con resultados altamente confiables y predecibles, usando metodologías muy claras para las diferentes etapas del diseño; no ocurre así

en los circuitos analógicos, en los que el diseñador pone a prueba sus conocimientos, la metodología y el manejo adecuado de las herramientas de diseño.

Numerosos estudiantes y diseñadores, aun con buenos conocimientos de electrónica analógica, asumen un gran reto cuando de diseñar se trata, incluso si ya tienen definidas las especificaciones. La dificultad aumenta cuando deben usar las herramientas profesionales que emplea la industria. Considerando lo anterior, en la práctica pedagógica de los autores surgió la necesidad de elaborar un documento como éste, en el que, con criterio didáctico, se muestra el procedimiento metodológico y analítico para el diseño de un circuito electrónico analógico que, para mayor claridad, se ilustra con un ejemplo, un amplificador con tecnología CMOS de 0.18 $\mu$ m, y se usan las herramientas profesionales de diseño de la empresa Synopsys®.

Se muestra el diagrama de flujo de la metodología comúnmente utilizada para el diseño de este tipo de IC (figura 1, izquierda) (Serrano, Pineda & Yamhure, 2007). Este flujo aplica en general para cualquier tecnología de fabricación, pero para todos los casos hay un elemento subyacente que el diseñador usualmente da por sentado: el Physical Design Kit (PDK), asociado a la tecnología de fabricación, que además es único para la herramienta que se va a utilizar; por ejemplo, hay un PDK para la tecnología CMOS de 0.18 $\mu$ m y para las herramientas de Synopsys® que es además diferente de aquel para otras herramientas como las de Cadence®.

El PDK es el motor que permite al diseñador de IC interactuar con los transistores, capturar los esquemáticos y realizar las simulaciones; es a la vez el repositorio de los modelos de los dispositivos analógicos y el componente invisible que hace amable la interacción del diseñador con la herramienta. El PDK resulta de la depuración llevada a cabo entre ingenieros de proceso, con activa participación del fabricante, de ingenieros de CAD y de pruebas, cuyo producto final incluye las reglas de diseño, de *layout* y de verificación de *layout versus esquemático* (LVS). Intencionalmente, en este documento se usan anglicismos en letra itálica, que son los que el estudiante encontrará en libros, artículos y en el léxico universal de los diseñadores.

## Metodología

### *Pasos de diseño*

1. Especificación del diseño: en esta etapa se especifica la funcionalidad del circuito, es decir, se plantea la relación de entradas y salidas para obtener los resultados requeridos. También se describen las características del circuito como: velocidad de respuesta, consumo de potencia, área física, etcétera.
  - a. Se elige una topología que permita cumplir dichas especificaciones.
  - b. Se plantean las ecuaciones asociadas a la topología y especificaciones, previa validación o ajuste del modelo general al de la tecnología específica.
  - c. Se determinan los grados de libertad del diseño como condiciones de polarización o tamaño de los transistores.
2. Diseño esquemático: se realiza el esquemático del circuito, que representa una abstracción funcional del mismo.
3. Simulación de esquemático: se verifica si la abstracción funcional se ajusta a los parámetros preestablecidos en el paso 1.
4. Generación de *layout*: el *layout* es la representación física del diseño y contiene la imagen geométrica de los dispositivos y las interconexiones.
5. Verificación de *layout*: una vez realizado el *layout* se debe verificar que cumpla con las reglas de diseño, como los tamaños mínimos o distancias menores entre los componentes. Para esto se utiliza la herramienta *Design Rule Checker* (DRC), aplicación capaz de localizar los puntos del circuito que no cumplen dichos requisitos.
6. Extracción de *layout*: El *layout* es sólo un conjunto de figuras geométricas. Mediante la extracción del mismo se realiza una correlación entre dichas figuras y los componentes (transistores, interconexiones, etc.), lo que permite hacer un análisis funcional del circuito.
7. Comparación *layout*–esquemático (*Layout Versus Schematic*, LVS): hecha la extracción, se debe comprobar la correspondencia entre el circuito y el esquemático.
8. Extracción de componentes parásitos: se hace una nueva extracción más completa del *layout*, pues en este caso se tienen en cuenta los valores de

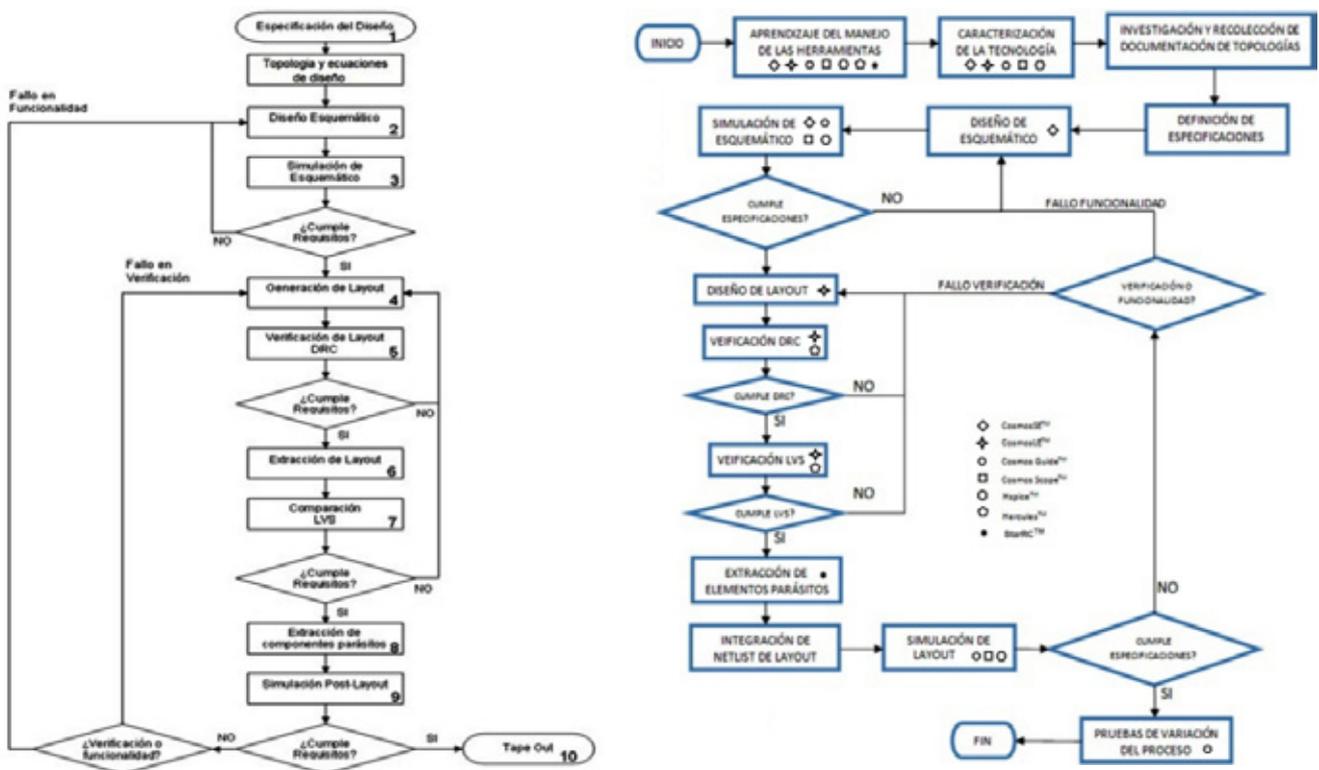
resistencias y condensadores parásitos generados por la implementación física del circuito.

9. Simulación pos-*layout*: se lleva a cabo la simulación del circuito extraído, teniendo en cuenta los componentes parásitos, y se evalúa si el circuito cumple con los requerimientos preestablecidos. Dado el caso en que no se cumplan, hay que analizar si el problema es de tipo funcional o estructural

para hacer la corrección pertinente y regresar al paso dos o al cuatro, según corresponda.

10. *Tapeout*: este término proviene de la transcripción del diseño final sobre una cinta magnética (*tape*) que se hacía antiguamente para enviar la información al fabricante y corresponde a la etapa final del proceso, en la que se recopila el trabajo hecho por los diseñadores y se envía para fabricar el circuito.

Figura 1. Diagramas de flujo de diseño analógico antes de la fabricación y con herramientas de Synopsys®.



Fuentes: (Serrano, Pineda & Yamhure, 2007; Hernández, Pineda, Antolínez & Yamhure, 2009).

El artículo está estructurado alrededor del caso de diseño de un amplificador operacional. Se comienza por las especificaciones del diseño y subsecuentemente se desarrolla la metodología de diseño analógico utilizando las herramientas de Synopsys (CosmosSE™, CosmosGuide™, Hspice™, Cosmos Scope™, CosmosLE™, Hercules™, Star-RCXT™). El diagrama de flujo de las herramientas de Synopsys® (figura 1, derecha) es una implementación particular del caso general (figura 1 izquierda), que detalla las herramientas que se precisan en cada paso. Remítase a Idraikh (2013) y a los manuales de referencia específicos de cada herramienta.

### Definición de especificaciones

Un diseño analógico debe cumplir con una serie de parámetros asociados a valores que se pueden catalogar como “variables continuas”. Por ejemplo, debe cumplir con ciertos valores de ganancia a malla abierta, ancho de banda, impedancia de entrada, etcétera; algunas de ellas muy fáciles de cumplir y otras no tanto. Las especificaciones de un circuito se derivan de la aplicación misma; por ejemplo, si se va a diseñar un amplificador para un transductor cuya señal de voltaje es muy pequeña, las especificaciones de ruido serán muy exigentes;

si, por el contrario, la señal a por amplificar no es pequeña pero cambia muy rápidamente, el ancho de banda del circuito debe permitir responder a esa frecuencia. Algo que confunde al estudiante es que en general un circuito no tiene sólo un requerimiento sino un conjunto de especificaciones mínimas por cumplir. En algunos casos, es un cliente quien le solicita al diseñador las especificaciones requeridas. Suponiendo que es el caso y se necesita una celda básica que debe cumplir sólo las especificaciones de la tabla 1, para un diseño completo habría que considerar otras características como el factor de rechazo en modo común (CMRR), respuesta en frecuencia de la ganancia en modo común, factor de rechazo a fuentes (PSRR), variación del voltaje de *offset* con la temperatura, etcétera. Con el ánimo de ilustrar la metodología de diseño, sin hacer este documento demasiado extenso, sólo se considerarán dichas especificaciones.

Tabla 1. Especificaciones de diseño.

Parámetro	Valor
Etapas de entrada	Diferencial
Impedancia de entrada ( $R_{in}$ )	>100 MOhm
Impedancia de salida ( $R_{out}$ )	<100 KOhm
Ganancia de voltaje (A)	>1 kV/V
Ancho de banda (BW)	>50 MHz
Slew Rate	>20 V/us
Potencia máxima de polarización	10 mW
Voltaje de alimentación	3,3V fuente sencilla
Margen de fase	>45 grados

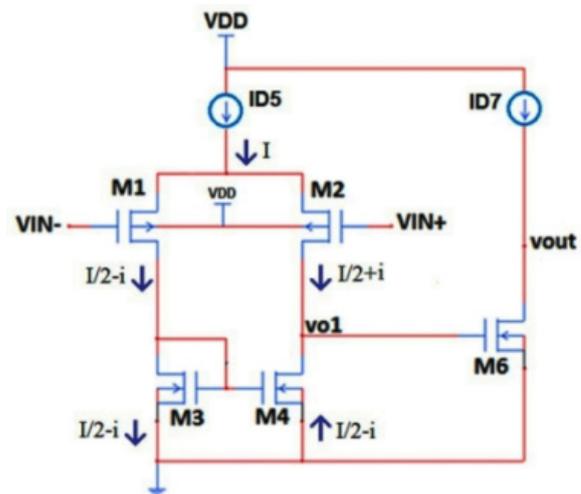
Fuente: elaboración propia.

### Diseño y verificación del esquemático

Como topología básica y caso de estudio se plantea el circuito que se muestra a continuación (figura 2) (Chen, 2007; Baker R, 2010). Ya que la primera etapa es diferencial de fuente común, es fácil obtener una resistencia de entrada tan alta como los  $100M\Omega$  especificados; además, el par diferencial proporciona rechazo en modo-común, lo que es deseable en aplicaciones de amplificación de señales diferenciales débiles. Los transistores M1, M2, M3 y M4 conforman el par diferencial con carga activa, polarizado con la fuente de corriente ID5. Para garantizar reducción de *offset* y funcionamiento apropiado del circuito, M1 sea igual a M2 y M3 igual a M4. El diseño del

operacional se completa con la adición de la etapa amplificadora con M6 en configuración de fuente común (CS) y carga activa ID7.

Figura 2. Topología básica del amplificador operacional.



Fuente: elaboración propia.

Este circuito (figura 2) muestra la implementación del operacional usando un par diferencial de entrada tipo PMOS, lo que permite utilizar en la segunda etapa un dispositivo NMOS, capaz de proveer mayor transconductancia que el correspondiente dispositivo PMOS en las mismas condiciones y, adicionalmente, ubica el segundo polo en malla abierta en frecuencias más altas, lo cual hace al circuito más estable que su contraparte. Además, para aplicaciones de bajo ruido, el par PMOS en la etapa diferencial es superior al NMOS, dado que este último aporta más ruido de baja frecuencia ( $1/f$ ) conocido como ruido *flicker* (Baker R, 2010; Nemirovsky, Brouk & Jacobson, 2001). Definida la topología, ahora se realiza un modelo matemático simplificado con las ecuaciones que gobiernan el comportamiento del circuito, con énfasis en aquellas que se relacionan con las especificaciones requeridas.

### Funcionamiento de la etapa diferencia

El siguiente análisis es válido si el diseñador garantiza que todos los *mosfet* operan en región de saturación de corriente, por eso contempla primero la condición de polarización que corresponde a un voltaje diferencial de cero, o sea con  $V_{IN+}=V_{IN-}$ . Si en el siguiente circuito (figura 3) se define ID5 como I, y si se diseñan los transistores M1 y M2 iguales, también lo serán

sus corrientes de fuente a drenaje y por cada uno circulará una corriente  $I/2$ . Por otra parte, la corriente de drenaje de M1, denominada ID1, es la misma que la del transistor M3 llamada ID3. Al diseñar M3 igual a M4 y puesto que estos dos transistores tienen el mismo voltaje de compuerta a fuente, conforman un espejo de corriente que “copia” la corriente de

$$i_{D1} = i_{D3} = i_{D4} = I_{D1} + i_{d1} = (I/2) + i \quad (1)$$

$$i_{D2} = I_{D2} + i_{d2} = (I/2) - i \quad (2)$$

La variación de corriente  $i$  en la ecuación (3) se puede expresar en términos del voltaje de entrada diferencial y la transconductancia de M1 o M2 ya que son iguales ( $g_{m1} = g_{m2} = g_{m1,2}$ ). Dado que las impedancias

$$i = (vid/2)gm_{1,2} \quad (3)$$

$$v_{o1} = 2(vid/2)gm_{1,2}(r_{o2} \parallel r_{o4}) = vid \times gm_{1,2}(r_{o2} \parallel r_{o4}) \quad (4)$$

$$Av = \frac{v_{o1}}{v_{id}} = gm_{1,2}(r_{o2} \parallel r_{o4}) \quad (5)$$

De la ecuación 5 se deduce que los grados de libertad que tiene el diseñador para obtener una ganancia de voltaje determinada son:  $gm_{1,2}$ ,  $ro2$  y  $ro4$ ; estos parámetros dependen de las dimensiones

$$gm = \sqrt{2Kn \frac{W}{L} I_D} = Kn \frac{W}{L} V_{ov} \quad (6)$$

Dados los efectos de segundo orden, el comportamiento de los *mosfet* submicrónicos no es modelado correctamente con la clásica ecuación cuadrática en la región de saturación fuerte; se precisan modelos más adecuados como el Berkeley BSIM3, desarrollado en 1995 en la Universidad de California (Berkeley) en que incluían 57 variables físicas que se ha actualizado al modelo BSIM.4.6.0 (Mohan et al., 2006). Modelos sofisticados son los utilizados por las herramientas de simulación. No obstante, para darle criterios al diseñador, son suficientes las aproximaciones de primer orden discutidas anteriormente. Una alternativa complementaria es trazar las curvas de los

M1 en M4. A partir de esta polarización, si se aplica una señal diferencial  $vid$  a la entrada se incrementa la corriente de M1 en  $id1$  y se decrementa la de M2 en  $id2$ ; así, las corrientes instantáneas de drenaje de M1, M2, M3 y M4 están dadas por las ecuaciones (1) y (2) que muestran la condición de polarización más la variación producida por la señal diferencial.

de salida por drenajes de los transistores M2 y M4 son  $ro2$  y  $ro4$ , respectivamente, se calcula la magnitud de la ganancia de voltaje a bajas frecuencias en las ecuaciones (3), (4) y (5).

$W$  y  $L$  de los transistores acorde a las ecuaciones (6) y (7), (Baker R, 2010) y de las condiciones de polarización ID, VDS y VOV, que a su vez dependen de  $W$  y  $L$ .

$$ro = \frac{1}{\lambda I_D} \alpha \frac{L^2}{V_{DS}^2} \quad (7)$$

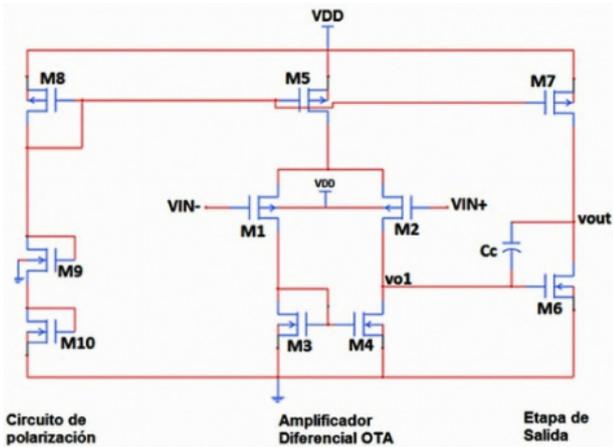
transistores con el uso en este caso de las herramientas de Synopsys®, para obtener las características de la tecnología específica. Por ejemplo, para la tecnología de 0.18um se obtiene que la relación entre el voltaje compuerta-fuente y la corriente de drenaje resulta casi lineal en lugar de cuadrática, con un error menor del 6 %, si se usa una aproximación lineal.

#### Polarización y compensación

El siguiente esquemático (figura 3) muestra el circuito completo que incluye la polarización para obtener las corrientes de la etapa *diferencial* y la *fuentes común*,

transistores M1, M2, M6 y M7. Los transistores M5 y M7 operan como fuentes de corriente polarizadas por M8, mediante el voltaje que se obtiene con el divisor creado por los transistores M8, M9 y M10.

Figura 3. Esquemático del Op-Amp que muestra la polarización y la capacitancia de compensación



Fuente: Hernández, Pineda, Antolínez & Yamhure (2009)

Por otra parte, la respuesta en frecuencia del amplificador posee dos polos dominantes, asociados a los nodos de salida ( $v_{out}$ ) e intermedio ( $v_{o1}$ ), cuya ubicación depende de los parámetros del circuito y son elementos limitantes para el diseñador pues determinan tanto el ancho de banda como el *Slew Rate*, parámetro que se tratará más adelante. Dado que el amplificador se puede usar en aplicaciones realimentadas negativamente, es preciso garantizar que sea estable, para lo que se agrega  $C_c$ , que es una red de compensación que reduce la ganancia en altas frecuencias, separa los dos polos originales del amplificador gracias al efecto multiplicador Miller y aproxima el sistema a uno de primer orden con polo dominante (Sedra & Smith, 2004).

*Respuesta en frecuencia*

Al incluir las capacitancias parásitas de los transistores y la capacitancia de compensación  $C_c$  es posible determinar de manera aproximada los polos del sistema  $f_{p1}$  y  $f_{p2}$ , ecuaciones (8) y (9), ubicados en las frecuencias dadas por Baker (2010) y Allen & Holberg (2002).

$$f_{p1} = \frac{1}{2\pi g_{m6} \cdot (r_{o6} \parallel r_{o7}) \cdot C_c \cdot (r_{o2} \parallel r_{o4})} \quad (8)$$

$$f_{p2} = \frac{g_{m6} \cdot C_c}{2\pi \cdot (C_2 C_1 + C_2 C_c + C_c C_1)} \approx \frac{g_{M6}}{2\pi \cdot C_2} \quad (9)$$

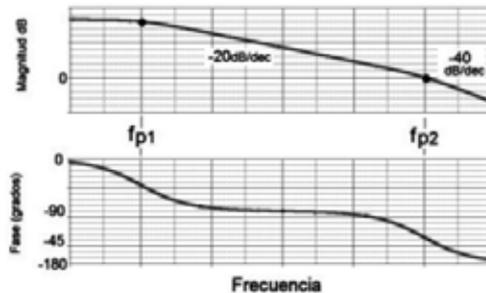
Donde  $C_1$  y  $C_2$  son los condensadores equivalentes en el nodo  $v_{o1}$  y  $v_{out}$ , a su vez dados por las ecuaciones (10) y (11):

$$C_1 = C_{db4} + C_{gd4} + C_{db2} + C_{gd2} + C_{gs6} + C_{gd6} \left(1 + \frac{v_{out}}{v_{o1}}\right) \quad (10)$$

$$C_2 = C_{db6} + C_{db7} + C_{gd7} + C_{gd6} \left(1 + \frac{v_{o1}}{v_{out}}\right) \quad (11)$$

La respuesta en frecuencia del circuito propuesto es similar a la que se muestra a continuación (figura 4).

Figura 4. Respuesta en frecuencia del circuito propuesto.



Fuente: elaboración propia.

### Slew Rate

El *slew rate* SR del circuito estará limitado por qué tan rápido el transistor *M5* puede cargar y descargar

$$SR = \frac{dv_{out}}{dt} = \frac{I_{D5}}{C_C} \quad (12)$$

### Ganancia de voltaje

Para el análisis de ganancia de voltaje en baja frecuencia, recuérdese que el amplificador diferencial compuesto

$$\frac{v_{out}}{v_{o1}} = g_{m6} \cdot (r_{o6} \parallel r_{o7}) \quad (13)$$

Donde  $g_{m6}$  es la transconductancia del transistor *M6* y  $r_{o6} \parallel r_{o7}$  es la resistencia de salida de la etapa. La

$$\frac{v_{out}}{v_d} = g_{m1,2} \cdot (r_{o2} \parallel r_{o4}) \cdot g_{m6} \cdot (r_{o6} \parallel r_{o7}) \quad (14)$$

Para determinar el valor de la ganancia total de voltaje se deben remplazar  $r_o$  y  $g_m$  de las Ec.6 y Ec.7 en la Ec.14. Puesto que para el diseñador es importante ver los

$$\frac{v_{out}}{v_d} \propto \sqrt{\frac{W_{1,2} \cdot L_{1,2}}{I_{D1,2}}} \cdot \sqrt{\frac{W_6 \cdot L_{6,7}}{I_{D6,7}}} \quad (15)$$

Donde  $W$  y  $L$  denotan el ancho y largo del canal de los transistores, los subíndices se refieren a los transistores *M1*, *M2*, *M6* y *M7*, e  $I_{Dx}$  corresponde a las respectivas corrientes de polarización. De la discusión anterior se entiende que existen varios compromisos entre las

al condensador de compensación  $C_C$ , lo que genera una rampa de voltaje en la compuerta de *M6* cuya pendiente, que justamente es el *SR*, viene dada por la ecuación (12).

por los transistores *M1* a *M4* tiene una ganancia de voltaje  $v_{o1}/v_d$  dada por Ec.5. En cascada con dicha etapa está otra en configuración *frente común* cuya amplificación de voltaje se muestra en la ecuación (13).

ganancia combinada de las dos etapas está dada por la ecuación (14).

efectos de los tamaños de los transistores y las corrientes de polarización en la ganancia, su dependencia se ilustra en la Ec.15, que supone el modelo cuadrático.

especificaciones por cumplir y los grados de libertad con los que cuenta el diseñador. Se presentan (tabla 2) los parámetros relevantes para este diseño, y las posibles acciones para mejorar la ganancia de voltaje y sus efectos secundarios en otros parámetros del circuito.

Tabla 2. Algunas acciones del diseñador y sus efectos en el circuito.

Acción	Efecto secundario
Aumentar $(W/L)_{1,2}$	Disminuye margen de fase
	Aumenta GBW
	Aumenta CMRR
Disminuir $I_{D5}$	Disminuye SR
	Aumenta CMRR
	Aumenta margen de fase
Aumentar $(W/L)_6$	Aumenta margen de fase
	Aumenta excursión de voltaje a la salida
Disminuir $I_{D5}$	Disminuye margen de fase

Fuente: elaboración propia

Con el esquemático de la figura 3, la tabla 1, las ecuaciones anteriores y las características de la tecnología se determina el tamaño de los transistores, resumidos en la tabla 3. Para mejorar la velocidad del circuito, el parámetro  $L$  debe ser el más pequeño posible o sea  $L = L_{min}$ , que aplicaría para circuitos digitales; sin embargo, en los circuitos analógicos, para evitar efectos de segundo orden y aumentar la

resistencia de salida  $r_o$ , se utiliza el parámetro  $L$  en el rango de 2 a 5  $L_{min}$ . Se escoge entonces  $L = 0,72\mu m \approx 4L_{min}$ . Con dichos valores se obtiene  $I_{D5} \approx 25\mu A$ . Para este valor de corriente el máximo condensador de compensación que cumple la especificación de límite de SR es  $C_c = 1pF$ . Para obtener un mayor ancho de banda con un margen de fase mayor a  $45^\circ$  se calcula  $C_c = 0,13pF$ .

Tabla 3. Tamaños de los transistores en la primera iteración de diseño.

TRANSISTOR	W( $\mu m$ )	L( $\mu m$ )	m
M1	8	0,72	1
M2	8	0,72	1
M3	4	0,72	1
M4	4	0,72	1
M5	18	0,72	4
M6	16,3	0,72	1
M7	36	0,72	4
M8	18	0,72	4
M9	4	0,72	1
M10	4	0,72	1

Fuente: Hernández, Pineda, Antolínez & Yamhure (2009)

### Simulación de esquemático

Se presentan los resultados de simulación (tabla 4). Además, se han incluido los resultados pos-*layout* para efectos de comparación.

### Diseño y verificación del layout

Para facilitar la interconexión de los componentes y la aplicación de criterios de *layout* –algunos de los cuales se ilustrarán– (García, Corvacho, Yamhure, Camacho & Vélez, 2007) es conveniente definir el *floorplan*, que es la ubicación de los bloques o transistores en el área disponible. En la siguiente figura (figura 5) se muestran y utilizan sólo algunas

técnicas de *layout* de forma ilustrativa; por lo tanto, el diseño es susceptible de muchas mejoras. Por ejemplo, se utilizó la técnica de *fold* (figura 6), que consiste en plegar los transistores para reducir las áreas de las difusiones de drenaje y de fuente, lo que reduce las capacitancias parásitas  $C_{db}$  y  $C_{sb}$ . Con la planificación previa se realiza el *layout*, entendido como la representación en figuras geométricas de los componentes del circuito esquemático y su ubicación. Para el *layout* de la fuente de corriente se utilizaron las técnicas de interdigitación y centroide común (Yamhure, Páez R, Hernández, Pineda & Antolínez, 2012) para tener un buen *matching* o similitud de los transistores. El centroide común se observa en la secuencia de los transistores:

Figura 5. Floorplan básico del amplificador operacional.

(M8–M5–M7–M7–M5–M8 – M8–M5–M7–M7–M5–M8)

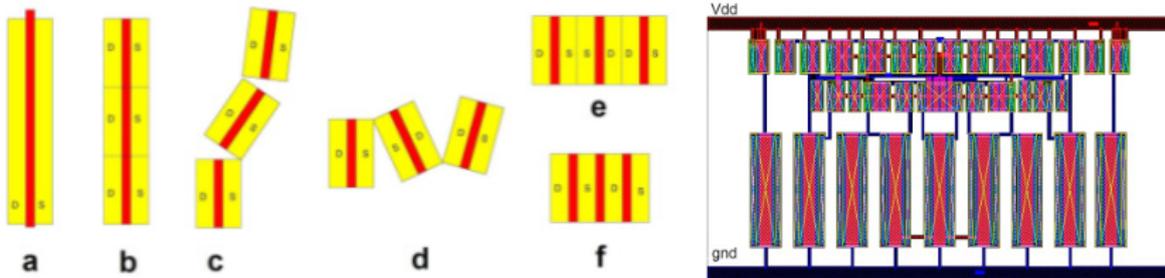


Fuente: Hernández, Pineda, Antolínez & Yamhure (2009).

Puesto que M9=M10, M1=M2 y M3=M4, se realizó centroide común para los transistores restantes: (M9–M1–M3–M6–M2–M4–M10). Se incluyen *Dummy Devices* para mejor *matching* y evitar efectos de borde (García, Corvacho, Yamhure, Camacho & Vélez, 2007).

En la siguiente figura (figura 8) se muestra el *layout* inicial en la herramienta de Synopsys® sin adicionar las interconexiones ni incluir las capacitancias de desacople de fuente. Al trazar una línea vertical en la mitad se puede verificar la simetría de los dos planos.

Figura 6. Técnica de *fold* (izquierda) y plan de *layout* de los transistores del amplificador aplicando *fold* (derecha).



Fuente: elaboración propia.

Cabe anotar que los PDK provistos por los fabricantes cuentan con la opción de generar algunos componentes comúnmente utilizados en diseño. Las compañías cuentan con paquetes especializados para facilitar el diseño y el *layout* de los circuitos, pero aun los más básicos simplifican notablemente el proceso al disponer de celdas paramétricas PCELLS (*Parametric cells*) de componentes comunes como transistores, resistencias y condensadores. Así, por ejemplo, el diseñador cuenta con la posibilidad de cambiar el parámetro del número de dedos de un transistor, lo que en el *layout* se realiza automáticamente.

*Verificación DRC*

Después de añadir los componentes restantes y realizar la conexión del *layout* incluyendo la nomenclatura de los nodos, se verifican las reglas de diseño (DRC), resultado que se muestra a continuación (figura 7, izquierda).

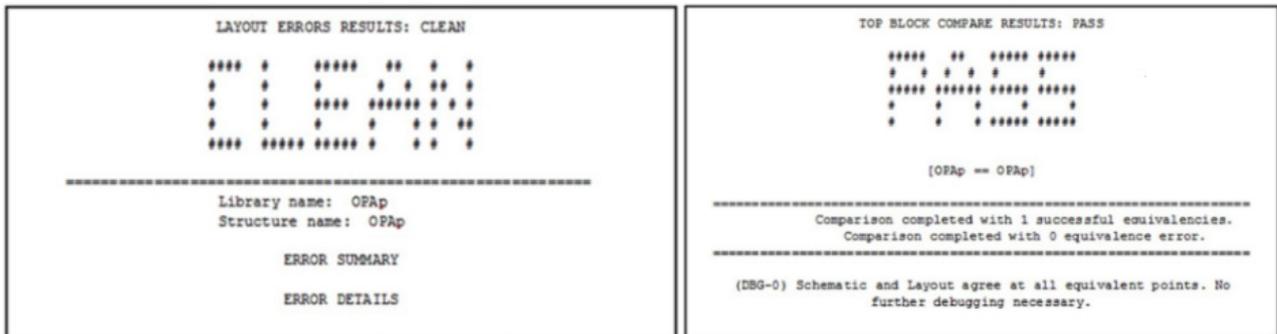
*Verificación LVS*

Posteriormente, se debe verificar que el *layout* construido corresponda al esquemático diseñado.

Aquí se evalúan los errores del diseñador al dibujar e interconectar los dispositivos en el *layout*. El resultado exitoso de la coincidencia del *layout* con

el esquemático (LVS) se ilustra en la misma figura (figura 7, derecha).

Figura 7. Resultados de Design Rule Cheking (DRC) y Layout vs. Schematic (LVS)

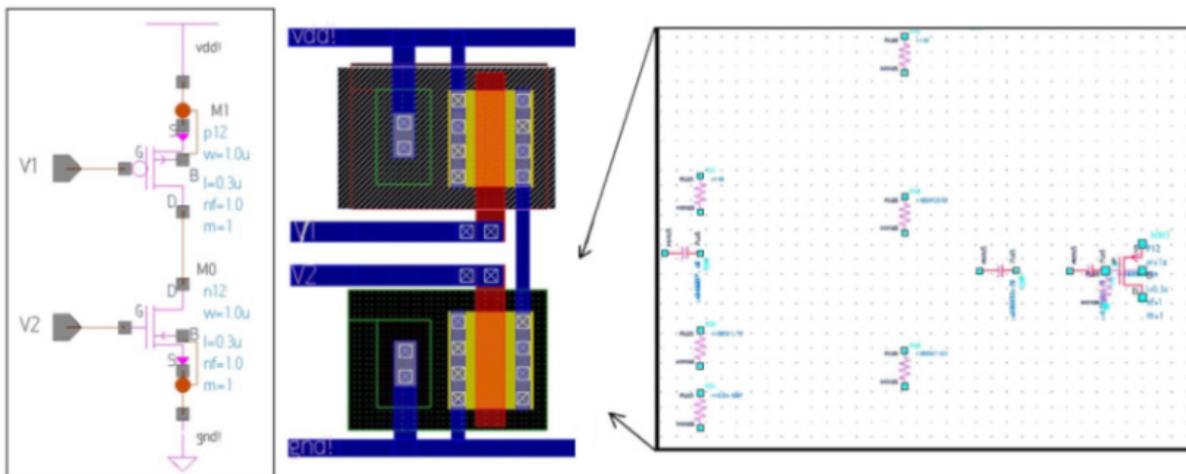


Fuente: elaboración propia

### Extracción de los componentes parásitos

La visualización del proceso de extracción de componentes parásitos se muestra en la siguiente figura (figura 8). A la izquierda el esquemático, en el medio la vista de *layout*, y a la derecha una vista parcial de la extracción, que muestra el *mosfet* M1 y las resistencias y capacitancias parásitas.

Figura 8. Visualización del esquemático, *layout* y los componentes parásitos extraídos.



Fuente: elaboración propia.

## Resultados

### Simulación de *layout*

Enseguida se muestran los resultados de la simulación del *layout* del amplificador (tabla 4), donde se observa que las especificaciones propuestas se cumplen satisfactoriamente tanto en el nivel de esquemático como en el de *layout*.

Tabla 4. Resultados obtenidos (esquemático y *layout*) para el Op-Amp

Parámetro de diseño	Valor propuesto	Resultado esquemático	Resultado <i>layout</i>	Unidades
Voltaje de alimentación	3,3	3,3	3,3	V
Ancho de banda (-3dB)	$\geq 50$	193	206	MHz
Slew Rate	$\geq 25$	+155/ -203	+160/ -230	V/ $\mu$ s
Ganancia diferencial	$\geq 80$	94	94,5	dB
Margen de fase	$\geq 45$	67,42	67,22	grados
Margen de ganancia	-	15,12	15,4	dB
Potencia	10 mW	342	339,74	$\mu$ W
CMRR	-	94,5	94,7	dB
Tiempo de establecimiento (1 %)	-	61,8	65,9	ns

Fuente: Hernández, Pineda, Antolínez & Yamhure (2009).

### Aspectos relacionados con la fabricación de circuitos

#### Pruebas de variación de proceso, voltaje de fuente y temperatura (PVT)

Si bien los resultados de simulación obtenidos para el circuito esquemático con extracción de componentes parásitos son válidos para corroborar su operación, hay una serie de pasos de verificación adicionales para que el circuito sea calificado como “producible”.

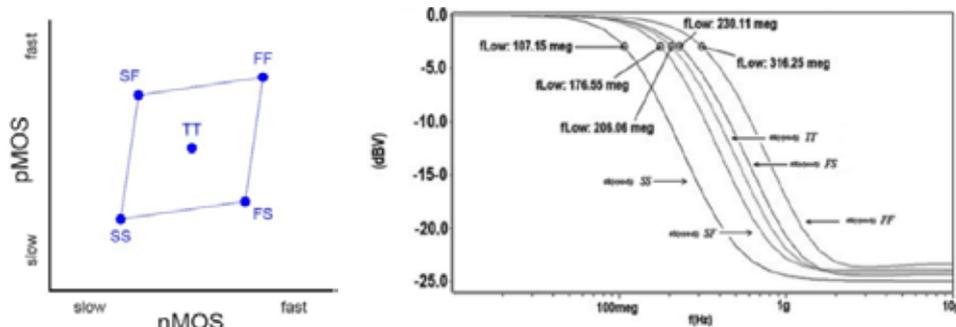
- Pruebas de variación de proceso (esquinas TT, SS, SF, FS, FF).

El primer aspecto tiene que ver con las variaciones de proceso que se producen entre uno y otro circuito integrado y entre uno y otro componente dentro del mismo circuito integrado. Esto se debe a que los procesos de control utilizados en la fabricación de dispositivos microelectrónicos no son perfectos, así que un lote fabricado difiere de otro. Estas diferencias se manifiestan en variaciones de los parámetros intrínsecos como la movilidad de los portadores o voltajes de umbral. Los simuladores permiten integrar

algunas variaciones, disponibles en el PDK. Dichas variaciones incluyen las resistencias y condensadores, cuyos valores dependen directamente de parámetros como la resistividad de los metales y la permitividad eléctrica de los óxidos aislantes, pero para efectos de este ejemplo sólo se consideran aquellas relacionadas con los transistores *mosfet*.

Los transistores se clasifican por la velocidad en tres categorías identificadas por letras, a saber: *T=typical*, *F=fast*, y *S=slow*. Así, el grupo que representa el caso de transistores NMOS y PMOS lentos se denomina SS; la primera letra denota al transistor NMOS y la segunda al PMOS. Esta clasificación da lugar a cuatro “esquinas”, TT, SS, SF, FS del proceso además de los valores típicos (figura 9, izquierda). El diseñador debe confirmar que el circuito funciona dentro del recuadro formado por las cuatro esquinas extremas. Para el caso de circuitos sensibles a *matching*, el diseñador debe incluir simulaciones estadísticas Monte Carlo para determinar el peor caso, que no necesariamente está en alguna esquina. Enseguida se muestra la respuesta en frecuencia del circuito en las esquinas (figura 9, derecha).

Figura 9. Representación de las esquinas del proceso (izquierda) y la respuesta en frecuencia del Op-Amp en dichas esquinas (derecha).



Fuente: elaboración propia.

Variaciones de voltaje de fuente: el diseñador supone una fuente de alimentación de voltaje constante, pero en realidad puede variar. Por ejemplo, debido a las interconexiones de circuito integrado y a la conexión de circuito impreso, la impedancia en serie de la fuente, que hace que los circuitos adyacentes que requieren carga dinámica generen fluctuaciones, el diseñador debe garantizar, mediante simulaciones, que su circuito puede operar dentro de un rango de fuente de alimentación, por ejemplo, voltaje nominal  $V \pm 10\%$ .

Variaciones en temperatura: otro aspecto tiene que ver con someter el diseño a las variaciones de temperatura que capturen las condiciones de operación reales del circuito. Por ejemplo, para circuitos integrados de dispositivos móviles, el rango de operación en temperatura es de  $-30\text{ }^{\circ}\text{C}$  a  $110\text{ }^{\circ}\text{C}$ , pero algunas aplicaciones industriales aeronáuticas usan rangos extendidos que aumentan considerablemente la complejidad del diseño.

## Conclusiones

En el caso expuesto, el circuito supera en mucho las especificaciones mínimas propuestas; por ejemplo,

la respuesta en frecuencia llega hasta 200 MHz cuando el requisito era de 50 MHz, habilidad para seguir señales rápidas llega a  $160\text{V}/\mu\text{s}$  en subida y  $230\text{V}/\mu\text{s}$  en bajada cuando el SR especificado era de  $20\text{V}/\mu\text{s}$ . El valor medido de margen de fase fue de  $67,22^{\circ}$ , superior a los  $45^{\circ}$  especificados. El consumo de potencia en polarización fue de aproximadamente  $340\mu\text{W}$  frente a los  $10\text{mW}$  máximos especificados. Así no se muestre en este documento la forma de realizar dichas medidas, el diseñador debe comprobarlas para garantizar que cumple con las exigencias del cliente o especificaciones mínimas definidas desde el principio. Si bien el flujo de diseño propuesto no es una metodología única, queda claro por los resultados que es una buena opción y da criterios al diseñador para definir el flujo de su preferencia. Con resultados como los que se mostraron atrás, el diseñador puede validar si su diseño cumple con las especificaciones; si no es el caso, el flujo de diseño lo lleva a modificar desde la topología hasta quizá sólo el tamaño de un transistor o el cableado. La experiencia de los autores en su práctica académica en diseño electrónico por varios años, les ha mostrado que una metodología como de esta guía desarrolla en los estudiantes tanto de pregrado como de maestría, habilidades para definir metodologías y criterios de diseño que no tenían al inicio de los cursos.

## Referencias

- Allen, P. & Holberg, D. (2002). *CMOS Analog Circuit Design* (2<sup>nd</sup> ed.). New York: Oxford University Press.
- Baker R, J. (2010). *Models for analog design in cmos circuit design, layout, and simulation*. (I. Press, Ed.) Danvers: Wiley-Interscience.
- Chen, W. K. (2007). *The VLSI Handbook*. (2<sup>nd</sup> ed., Vol. Sec 2.2 2.3). Chicago: University of Illinois Chicago.
- García L, J. A., Corvacho, M. A., Yamhure K, G., Camacho M, D. M., & Vélez C, C. (2007). Recomendaciones para la implementación del Layout de circuitos monolíticos de señal mixta. *Colombian Workshop on Circuits and Systems de IEEE*, pp. 6. Bogotá: IEEE.
- Hernández, D. F., Pineda, E. Y., Antolínez, J. F., & Yamhure, G. (2009). *Diseño y simulación de amplificadores operacionales en VLSI con tecnología CMOS*. Bogotá: Pontificia Universidad Javeriana.
- Idraikh, L. (23 de septiembre de 2013). *Full Custom IC Design Using Synopsys*. Obtenido de Princess Sumaya University for Technology. Recuperado de [http://psut.edu.jo/sites/hazem/Synopsys\\_Tutorial.pdf](http://psut.edu.jo/sites/hazem/Synopsys_Tutorial.pdf).
- Mohan, V., Xuemei, X., Jin, H. et al. (2006). *BSIM4.6.0 MOSFET Model Users's Manual*. Recuperado de Berkeley EECS Device Group [http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM460/doc/BSIM460\\_Manual.pdf](http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM460/doc/BSIM460_Manual.pdf) el 14 de febrero de 2014.
- Nemirovsky, Y., Brouk, I. & Jacobson, C. (2001).  $1/f$  Noise in CMOS Transistors for Analog Applications. *IEEE Transaction on Electron Devices*, 48(5), pp. 921.
- Sedra, A. & Smith, K. (2004). *Microelectronics Circuits* (Fifth Edition ed.). New York, USA: Oxford University Press.
- Serrano, D. E., Pineda, C. & Yamhure, G. (2007). *Guía para el diseño de circuitos en VLSI mediante el uso de herramientas de la compañía Synopsys®*. Bogotá: Pontificia Universidad Javeriana.
- Yamhure, G., Páez R, C. I., Hernández, D. et al. (2012). Diseño de un amplificador riel a riel con tecnología CMOS  $0,18\ \mu\text{m}$ . *EIA*(17), pp. 167-181.

## Sobre los autores

---

### **Germán Yamhure Kattah**

Ingeniero electrónico y magíster en Ingeniería Electrónica de la Pontificia Universidad Javeriana, profesor e investigador de electrónica, diseño y VLSI analógico de la PUJ, Facultad de Ingeniería, Departamento de Electrónica, Colombia, por más de 20 años. Presidente para Colombia de EDS de IEEE [gyamhure@javeriana.edu.co](mailto:gyamhure@javeriana.edu.co).

### **Jorge Andrés García López**

Ingeniero electrónico de la Pontificia Universidad Javeriana y doctor en Ingeniería Electrónica. Profesor e investigador de la Universidad de Delaware. Staff RFIC Engineer en Qualcomm como diseñador de circuitos microelectrónicos analógicos y de radiofrecuencia. [jagarcia85@gmail.com](mailto:jagarcia85@gmail.com)

Los puntos de vista expresados en este artículo no reflejan necesariamente la opinión de la Asociación Colombiana de Facultades de Ingeniería.